

Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 107) **Rec'd PCT/PTO 29 DEC 2004**



Applicant's or agent's file reference 310200488971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP02/08284	International filing date (day/month/year) 15 August 2002 (15.08.02)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 29/78, 21/336, 21/8238, 27/092		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>8</u> sheets, including this cover sheet. <input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of <u>4</u> sheets.
3. This report contains indications relating to the following items: I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input checked="" type="checkbox"/> Certain observations on the international application

Date of submission of the demand 15 August 2002 (15.08.02)	Date of completion of this report 16 May 2003 (16.05.2003)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PC/P02/08284

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-19 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 2-9, 11-24 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1, 10, 25, 26 _____, filed with the letter of _____ 24 January 2003 (24.01.2003)
- ☒ the drawings:
pages _____ 1-46 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	7-9, 15-17, 24, 26	YES
	Claims	1-6, 10-14, 18-23, 25	NO
Inventive step (IS)	Claims	7-9, 15-17	YES
	Claims	1-6, 10-14, 18-26	NO
Industrial applicability (IA)	Claims	1-26	YES
	Claims		NO

2. Citations and explanations

Document 1: US 2002/0047170 A1 (Mitsubishi Denki Kabushiki Kaisha), 25 April 2002

Document 2: US 2002/0052086 A1 (Mitsubishi Denki Kabushiki Kaisha), 2 May 2002

Document 3: US 2001/0028093 A1 (Hitachi, Ltd.), 11 October 2001

Document 4: JP 2002-217414 A (Matsushita Electric Industrial Co., Ltd.), 2 August 2002

Claims 1 to 6, 10 to 14 and 18 to 23

The inventions set forth in claims 1 to 6, 10 to 14 and 18 to 23 lack novelty and do not involve an inventive step in the light of document 1.

The "step of forming a conducting piece by carrying out etching on the aforementioned conductive film using the insulating film as a mask" corresponds to the step of "carrying out etching on the polysilicon layer (4) with the hard mask pattern (5a) as a mask" set forth in document 1.

Document 1 indicates that a hard mask is removed at the same time as sidewalls are formed, but the insulating film with a high dielectric constant below both ends of the gate electrode is protected by the sidewalls, therefore the invention set forth in document 1 is

understood to have a "step wherein the aforementioned insulating film is removed to expose the upper surface of the aforementioned conductor piece, leaving the aforementioned insulating film with a high dielectric constant on the upper part of the aforementioned semiconductor substrate at both ends of the conductor piece."

Claim 24

The invention set forth in claim 24 does not involve an inventive step in the light of documents 1 and 2.

Document 1 does not indicate that "the depth of the aforementioned first conductor area is greater than that of the aforementioned second conductor area", but document 2, in the same way as the invention of this application, sets forth a low-voltage MOSFET and a high-voltage MOSFET, wherein the depth of the diffusion layer of the high-voltage MOSFET is greater than the depth of the diffusion layer of the low-voltage MOSFET.

Therefore it would be easy for a person skilled in the art to conceive of setting the relative relationship of the depth of the diffusion layer of the "high-voltage MOS transistor Q1" and the depth of the diffusion layer of the "low-voltage MOS transistor Q2" in document 1 to the relationship set forth in document 2.

Claims 25 and 26

The invention set forth in claims 25 and 26 does not involve an inventive step in the light of documents 1 and 4.

Document 1 does not set forth a feature wherein "sidewalls are formed" after "etching is carried out on the insulating film with a high dielectric constant under conditions with a high etching selectivity for the aforementioned insulating film", but the invention set

forth in this application and the invention set forth in document 4 both address the problem of selectively removing a hard mask from a gate insulating film, and employ the same technical means. It would therefore be easy for a person skilled in the art to conceive of applying the technical means set forth in document 4, wherein sidewalls are formed after selectively removing the hard mask from the gate insulating film, to the configuration of the invention of this application.

Claims 1 to 5 and 18 to 21

The inventions set forth in claims 1 to 5 and 18 to 21 lack novelty and do not involve an inventive step in the light of document 3.

The features set forth in claims 1 to 5 and 18 to 21 of this application, wherein "the insulating film with a high dielectric constant has a dielectric constant of 2.0 or more" and "a conductor piece is formed by carrying out etching on the aforementioned conductive film, using the insulating film as a mask" correspond to the features set forth in document 3, of a "silicon oxide film", a "silicon oxynitride film" or a "silicon nitride film", and the step of "carrying out removal by etching using dry etching of the gate electrode-forming film (15) which is exposed, with the insulating film (16) as an etching mask."

Document 3 indicates that the hard mask is removed simultaneously as the sidewalls are formed, but the insulating film with a high dielectric constant below both ends of the gate electrode is protected by the sidewalls, therefore the invention set forth in document 3 is understood to have "the process of removing the aforementioned insulating film and exposing the upper surface of the aforementioned conductor piece, while leaving the aforementioned insulating film with a high dielectric constant on the upper part of the

aforementioned semiconductor substrate at both ends of the conductor piece.

Claim 25

The invention set forth in claim 25 does not involve an inventive step in the light of documents 3 and 4.

Document 3 does not disclose a technical means wherein "sidewalls are formed" after "etching is carried out on the insulating film with a high dielectric constant under conditions with a high etching selectivity for the aforementioned insulating film", but the invention set forth in this application and the invention set forth in document 4 both address the problem of selectively removing a hard mask from a gate insulating film, and employ the same technical means. It would therefore be easy for a person skilled in the art to conceive of applying the technical means set forth in document 4, wherein sidewalls are formed after selectively removing the hard mask from the gate insulating film, to the configuration of the invention of this application.

Claims 1 to 4, 18 to 21 and 25

The inventions set forth in claims 1 to 4, 18 to 21 and 25 lack novelty and do not involve an inventive step in the light of document 4.

The features set forth in claims 1 to 4, 18 to 21 and 25 of this application, wherein "the insulating film with a high dielectric constant has a dielectric constant of 2.0 or more" and "a conductor piece is formed by carrying out etching on the aforementioned conductive film, using the insulating film as a mask" correspond to the "gate oxide film" formed by thermal oxidation and the step of "carrying out dry etching on the poly-Si film (13) using the BPSG film (14) as a mask" set forth in document 4.

Document 4 (paragraph [0054]) sets forth a step of removing a hard mask by etching with a high selectivity with respect to the gate insulating film, therefore the invention set forth in document 4 is understood to have a "step wherein the aforementioned insulating film is removed to expose the upper surface of the aforementioned conductor piece, leaving the aforementioned insulating film with a high dielectric constant on the upper part of the aforementioned semiconductor substrate at both ends of the conductor piece."

Claims 7 to 9 and 15 to 17

The inventions set forth in claims 7 to 9 and 15 to 17 lack novelty and do not involve an inventive step in the light of documents 1 to 4.

Documents 1 to 4 do not disclose "a step of removing the aforementioned insulating film with a high dielectric constant using a conductor piece as a mask" or "a step of removing the aforementioned insulating film with a high dielectric constant, using the aforementioned conductor piece and the aforementioned sidewall film as a mask, which is a step which entails carrying out etching under conditions in which the etching selectivity of the aforementioned insulating film with a high dielectric constant is high in relation to the aforementioned conductor piece and the aforementioned sidewall film."

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

The description does not mention a feature which corresponds to the feature set forth in claim 24, wherein "the depth of the aforementioned first semiconductor layer is greater than that of the aforementioned second semiconductor area". Therefore the invention set forth in claim 24 of this application is not fully supported by the description.

PCT Rec'd PCT/PTO 29 DEC 2004

RECEIVED 05 JUN 2003

WIPO

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 310200488971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JPO2/08284	国際出願日 (日.月.年) 15.08.02	優先日 (日.月.年)
国際特許分類 (IPC) Int.Cl ⁷ H01L29/78, H01L21/336, H01L21/8238, H01L27/092		
出願人 (氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で <u>6</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>4</u> ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input checked="" type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 15.08.02	国際予備審査報告を作成した日 16.05.03	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠 電話番号 03-3581-1101 内線 3460	4M 9836

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-19 ページ、 出願時に提出されたもの
 明細書 第 ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 ページ、 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-9, 11-24 項、 出願時に提出されたもの
 請求の範囲 第 項、 PCT 19条の規定に基づき補正されたもの
 請求の範囲 第 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 10, 25, 26 項、 24.01.03 付の書簡と共に提出されたもの

☒ 図面 第 1-46 ページ/図、 出願時に提出されたもの
 図面 第 ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 ページ/図、 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 ページ、 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	7-9, 15-17, 24, 26	有
	請求の範囲	1-6, 10-14, 18-23, 25	無
進歩性 (IS)	請求の範囲	7-9, 15-17	有
	請求の範囲	1-6, 10-14, 18-26	無
産業上の利用可能性 (IA)	請求の範囲	1-26	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

文献1 : US 2002/0047170 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2002. 04. 25
 文献2 : US 2002/0052086 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2002. 05. 02
 文献3 : US 2001/0028093 A1 (HITACHI LTD.) 2001. 10. 11
 文献4 : JP 2002-217414 A (松下電器産業株式会社) 2002. 08. 02

請求の範囲1-6, 10-14, 18-23

請求の範囲1-6, 10-14, 18-23に記載された発明は、文献1から新規性及び進歩性を有さない。

請求の範囲1-6, 10-14, 18-23に記載された「絶縁膜をマスクに、前記導電性膜をエッチングすることにより導体片を形成する工程」は、文献1の「ハードマスクパターン5aをマスクとして、ポリシリコン層4をエッチングする」工程に相当する。

なお、文献1には、サイドウォールを形成すると同時にハードマスクを除去することが記載されているが、ゲート電極両端部下の高誘電率絶縁膜はサイドウォールによって保護されているので、文献1に記載された発明は「導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残した状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程」を有しているものと認められる。

請求の範囲24

請求の範囲24に記載された発明は、文献1及び2より進歩性を有さない。

文献1には、「前記第1半導体領域の深さは、前記第2半導体領域より深いこと」について開示されていないが、文献2には、本願発明と同様、高電圧用MOSFETと低電圧用MOSFETにおいて、高電圧用MOSFETの拡散層の深さが低電圧用MOSFETの拡散層の深さよりも深いことが開示されている。

よって、文献1に記載の「高電圧用MOSトランジスタQ1」の拡散層の深さ及び「低電圧用MOSトランジスタQ2」の拡散層の深さの相対関係を文献2に開示された関係にすることは、当業者であれば容易に想到し得たものである。

Ⅷ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 2 4 に記載された「前記第 1 半導体領域の深さは、前記第 2 半導体領域より深いこと」に対応する構成が明細書中に記載されていない。したがって、本願の請求の範囲 2 4 は明細書により十分な裏付けをされていないものである。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V.2. 欄の続き

請求の範囲 25, 26

請求の範囲 25 及び 26 に記載された発明は、文献 1 及び 4 から進歩性を有さない。

文献 1 には、「高誘電率絶縁膜に対する前記絶縁膜のエッチングの選択比が大きい条件でエッチング」したのち「サイドウォールを形成する」という技術手段は開示されていないが、本願発明と文献 4 記載の発明はゲート絶縁膜に対して選択的にハードマスクを除去することを課題とし、同様の技術手段を採用したものである。よって、文献 4 に記載されているゲート絶縁膜に対して選択的にハードマスクを除去したのち、サイドウォールを形成する技術手段を本願発明の構成に転用することは、当業者であれば容易に想到し得たものである。

請求の範囲 1-5, 18-21

請求の範囲 1-5, 18-21 に記載された発明は、文献 3 から新規性及び進歩性を有さない。

請求の範囲 1-5, 18-21 に記載された「高誘電率絶縁膜は、比誘電率が 2.0 以上の膜であること」及び「絶縁膜をマスクに、前記導電性膜をエッチングすることにより導体片を形成する工程」は、文献 3 の「酸化シリコン膜」、「酸化窒化シリコン膜」又は「窒化シリコン膜」及び「絶縁膜 16 をエッチングマスクとして、そこから露出するゲート電極形成膜 15 をドライエッチング法等によってエッチング除去する」工程に相当する。

なお、文献 3 には、サイドウォールを形成すると同時にハードマスクを除去することが記載されているが、ゲート電極両端部下の高誘電率絶縁膜はサイドウォールによって保護されているので、文献 3 に記載された発明は「導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残した状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程」を有しているものと認められる。

請求の範囲 25

請求の範囲 25 に記載された発明は、文献 3 及び 4 から進歩性を有さない。

文献 3 には、「高誘電率絶縁膜に対する前記絶縁膜のエッチングの選択比が大きい条件でエッチング」したのち「サイドウォールを形成する」という技術手段は開示されていないが、本願発明と文献 4 記載の発明はゲート絶縁膜に対して選択的にハードマスクを除去することを課題とし、同様の技術手段を採用したものである。よって、文献 4 に記載されているゲート絶縁膜に対して選択的にハードマスクを除去したのち、サイドウォールを形成する技術手段を本願発明の構成に転用することは、当業者であれば容易に想到し得たものである。

請求の範囲 1-4, 18-21, 25

請求の範囲 1-4, 18-21, 25 に記載された発明は、文献 4 から新規性及び進歩性を有さない。

請求の範囲 1-4, 18-21, 25 に記載された「高誘電率絶縁膜は、比誘電率が 2.0 以上の膜であること」及び「絶縁膜をマスクに、前記導電性膜をエッチングすることにより導体片を形成する工程」は、文献 4 の熱酸化法により形成した「ゲート酸化膜」及び「BPSG 膜 14 をマスクとして、poly-Si 膜 13 のドライエッチングを行う」工程に相当する。

なお、文献 4 の【0054】には、ハードマスクを除去するときに、ゲート絶縁膜に対して高選択比を有したエッチングにより除去する工程が記載されているので、文献 4 に記載された発明は「導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残した状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程」を有しているものと認められる。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V.2. 欄の続き

請求の範囲 7-9, 15-17

請求の範囲 7-9, 15-17 に記載された発明は、文献 1 乃至 4 に対して新規性及び進歩性を有する。

文献 1 乃至 4 には、「導体片をマスクに、前記高誘電率絶縁膜を除去する工程」及び「前記導体片および前記側壁膜をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片および前記側壁膜に対する前記高誘電率絶縁膜のエッチングの選択比が大きい条件でエッチングする工程」について記載されておらず、しかもその点は当業者といえども容易に想到し得ないものである。

請 求 の 範 囲

1. (補正後) (a) 半導体基板の上部に、高誘電率絶縁膜を形成する工程と、
(b) 前記高誘電率絶縁膜上に導電性膜を形成する工程と、
5 (c) 前記導電性膜上に、絶縁膜を形成する工程と、
(d) 前記絶縁膜を選択的に除去することによりパターンを形成する工程と、
(e) 前記パターンを有する絶縁膜をマスクに、前記導電性膜をエッチングすることにより導体片を形成する工程と、
(f) 前記導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残
10 した状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程と、
(g) 前記 (f) 工程の後に、前記導体片上に金属膜を堆積し、前記導体片と
前記金属膜との接触部において反応層を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。
2. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシリ
15 コン膜であり、前記絶縁膜は酸化シリコン膜であることを特徴とする半導体集
積回路装置の製造方法。
3. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシリ
コン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体集積
回路装置の製造方法。
- 20 4. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁
膜は、比誘電率が 2.0 以上の膜であることを特徴とする半導体集積回路装置の
製造方法。
5. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、
(h) 前記 (a) 工程の前に、前記半導体基板をエッチングすることにより前
25 記半導体基板中に溝を形成し、前記溝内に他の絶縁膜を形成する工程を有し、
前記高誘電率絶縁膜は、前記他の絶縁膜より比誘電率が大きいことを特徴とす
る半導体集積回路装置の製造方法。
6. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁
膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タ

ンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

7. 請求項1記載の半導体集積回路装置の製造方法は、さらに、

5 (h) 前記(f)工程と前記(g)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッチングの選択比が大きい条件でエッチングする工程を有することを特徴とする半導体集積回路装置の製造方法。

8. 請求項1記載の半導体集積回路装置の製造方法は、さらに、

10 (h) 前記(f)工程と前記(g)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッチングの選択比が大きい条件でエッチングする工程と、

(i) 前記(h)工程の後、前記半導体基板中に不純物を注入することにより、前記導体片の両側に半導体領域を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

15 9. 請求項1記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記(f)工程と前記(g)工程の間に、前記導体片上を含む半導体基板上に他の絶縁膜を形成した後、前記他の絶縁膜を異方的にエッチングすることによって、前記導体片の側壁に側壁膜を形成する工程と、

20 (i) 前記(h)工程の後に、前記導体片および前記側壁膜をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片および前記側壁膜に対する前記高誘電率絶縁膜のエッチングの選択比が大きい条件でエッチングする工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

10. (補正後)(a) 第1領域および第2領域を有する半導体基板の第1領域上に、第1絶縁膜を形成する工程と、

25 (b) 前記第1絶縁膜上および第2領域上に前記第1絶縁膜より誘電率の高い第2絶縁膜を形成する工程と、

(c) 前記第2絶縁膜上に導電性膜を形成する工程と、

(d) 前記導電性膜上に、第3絶縁膜を形成する工程と、

(e) 前記第3絶縁膜を選択的に除去することにより前記第1および第2領域

のそれぞれにパターンを形成する工程と、

(f) 前記パターンを有する第3絶縁膜をマスクに、前記導電性膜をエッチングすることにより前記第1および第2領域のそれぞれに導体片を形成する工程と、

(g) 前記導体片の両端部の前記半導体基板の上部に前記第2絶縁膜を残した
5 状態で、前記第3絶縁膜を除去し前記導体片の上面を露出させる工程と、

(h) 前記(g)工程の後に、前記導体片上に金属膜を堆積し、前記導体片と
前記金属膜との接触部において反応層を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

1 1. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜
10 はシリコン膜であり、前記第3絶縁膜は酸化シリコン膜であることを特徴とする
半導体集積回路装置の製造方法。

1 2. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜
はシリコン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体
集積回路装置の製造方法。

15 1 3. 請求項10記載の半導体集積回路装置の製造方法において、前記第1絶縁
膜は、酸化シリコン膜であり、前記第2絶縁膜は、比誘電率が2.0以上の膜で
あることを特徴とする半導体集積回路装置の製造方法。

1 4. 請求項10記載の半導体集積回路装置の製造方法において、前記第2絶縁
膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タ
20 ンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路
装置の製造方法。

1 5. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記
高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁
25 膜のエッチングの選択比が大きい条件でエッチングする工程を有することを特徴
とする半導体集積回路装置の製造方法。

1 6. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記
高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁

であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

22. (a) 第1領域および第2領域を有する半導体基板と、

5 (b) 前記第1領域の半導体基板内に形成された一対の第1半導体領域と、前記一対の第1半導体領域の間の領域であって、前記半導体基板の上に第1絶縁膜および前記第1絶縁膜より誘電率の大きい第2絶縁膜とを介して形成された第1導体片とを有する第1MISFETと、

10 (c) 前記第2領域の半導体基板内に形成された一対の第2半導体領域と、前記一対の第2半導体領域の間の領域であって、前記半導体基板の上に前記第2絶縁膜を介して形成された第2導体片とを有する第2MISFETと、を有し、

(d) 前記第1および第2導体片の端部下まで前記第2絶縁膜が延在していることを特徴とする半導体集積回路装置。

15 23. 請求項22記載の半導体集積回路装置において、前記導体片はシリコン膜であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

24. 請求項23記載の半導体集積回路装置において、前記第1半導体領域の深さは、前記第2半導体領域より深いことを特徴とする半導体集積回路装置。

20 25. (追加) 請求項1記載の半導体集積回路装置の製造方法において、前記(f)工程は、前記高誘電率絶縁膜に対する前記絶縁膜のエッチングの選択比が大きい条件でエッチングすることにより、前記導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残した状態で、前記絶縁膜を除去し前記導体片の上面を露出させることを特徴とする半導体集積回路装置の製造方法。

25 26. (追加) 請求項10記載の半導体集積回路装置の製造方法において、前記(g)工程は、前記第2絶縁膜に対する前記第3絶縁膜のエッチングの選択比が大きい条件でエッチングすることにより、前記導体片の両端部の前記半導体基板の上部に前記第2絶縁膜を残した状態で、前記第3絶縁膜を除去し前記導体片の上面を露出させることを特徴とする半導体集積回路装置の製造方法。